

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339057

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

H01L 27/146  
G06T 1/00  
H01L 21/3205  
H01L 21/768  
H01L 27/00  
H01L 21/8238  
H01L 27/092  
H01L 27/14  
H01L 29/786  
H04N 5/335

(21)Application number : 2000-160330

(71)Applicant : KOYANAGI MITSUMASA  
FUJI XEROX CO LTD

(22)Date of filing : 30.05.2000

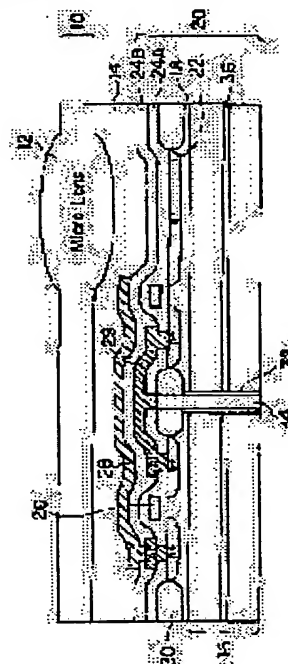
(72)Inventor : KOYANAGI MITSUMASA  
OKANO TAISUKE  
MIYAGAWA NOBUAKI

## (54) METHOD OF MANUFACTURING THREE-DIMENSIONAL IMAGE PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method for a three-dimensional image processor which can sharply simplify the manufacture process due to needlessness of mounting and removal process of a supporting board, can manufacture a three-dimensional image processor by simple and easy process, and can form embedded wiring surrounded by a highly reliable insulating film.

**SOLUTION:** A transparent substrate 10 made of quartz glass, where many microlenses 12 are made two-dimensionally, is bonded to a photoelectric transfer substrate 20 where a photodiode and a MOS transistor are made on an n-type silicon crystalline substrate 16 wherein an insulating layer 36 consisting of silicon diode is inserted, through an adhesive 14 consisting of high polymer material such as epoxy resin, polyimide resin, or the like, so that the main face of the photoelectric transfer substrate 20 and the rear of the transparent substrate 10 may oppose to each other.



## LEGAL STATUS

[Date of request for examination]

19.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(43)公開日 平成13年12月7日(2001.12.7)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)	
H 0 1 L 27/146		G 0 6 T 1/00	4 2 0 A	4 M 1 1 8
G 0 6 T 1/00	4 2 0	H 0 1 L 27/00	3 0 1 B	5 B 0 4 7
H 0 1 L 21/3205		H 0 4 N 5/335	U	5 C 0 2 4
21/768		H 0 1 L 27/14	F	5 F 0 3 3
27/00	3 0 1	21/88	J	5 F 0 4 8
審査請求 未請求 請求項の数 5 O L (全 9 頁) 最終頁に続く				

(21)出願番号 特願2000-160330(P2000-160330)

(22)出願日 平成12年5月30日(2000.5.30)

(71)出國人 591272974

小柳 光正

宮城県名取市ゆりが丘 1-22-5

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72)發明者 小柳 光正

宮城県名取市ゆりが丘 1-22-5

(72) 発明者 岡野 泰典

神奈川県足柄上郡中井町境430 グリーン  
テクなかい 富士ゼロックス株式会社内

(74) 代理人 100079049

弁理士 中島 淳 (外3名)

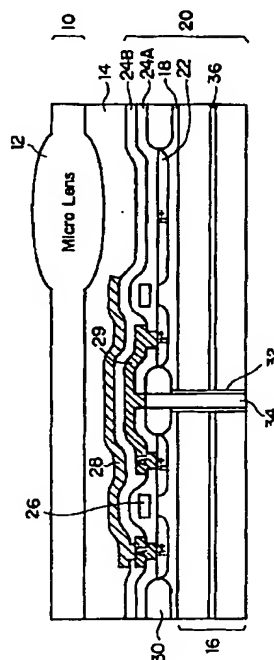
**最終頁に続く**

(54) 【発明の名称】 3次元画像処理装置の製造方法

(57) 【要約】

【課題】支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により3次元画像処理装置を製造することができる3次元画像処理装置の製造方法を提供する。また、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる3次元画像処理装置の製造方法を提供する。

【解決手段】内部に二酸化ケイ素からなる絶縁層 36 が挿入された n 型シリコン結晶基板 16 上に、フォトダイオードと MOS トランジスタとが形成された光電変換基板 20 に、多数のマイクロレンズ 12 が 2 次元状に形成された石英ガラス製の透明基板 10 を、光電変換基板 20 の主面と透明基板 10 の裏面とが対向するように、エポキシ樹脂やポリイミド樹脂等の高分子材料からなる接着剤 14 を介して接着する。



FP04-0099  
-00W0-HP  
04.7.20  
SEARCH REPORT

## 【特許請求の範囲】

【請求項1】光を集光するレンズを備えた透明基板と、主面に光電変換素子が形成されると共に該光電変換素子に電氣的に接続された埋め込み配線が形成された光電変換基板とを、透明基板の裏面と光電変換基板の主面とが対向するように接着して、3次元画像処理装置を製造する3次元画像処理装置の製造方法。

【請求項2】前記光電変換基板の裏面側を研磨して前記埋め込み配線を露出させ、

該光電変換基板の裏面に、主面に増幅器及びアナログ／デジタル変換器が形成されると共に該増幅器及びアナログ／デジタル変換器に電氣的に接続された埋め込み配線が形成された増幅変換基板を、該増幅器及びアナログ／デジタル変換器が前記埋め込み配線の露出部に電氣的に接続されるように接着して、3次元画像処理装置を製造する請求項1に記載の3次元画像処理装置の製造方法。

【請求項3】前記増幅変換基板の裏面側を研磨して前記埋め込み配線を露出させ、

該増幅変換基板の裏面に、主面にデータ記憶装置が形成されると共に該データ記憶装置に電氣的に接続された埋め込み配線が形成されたデータ記憶基板を、該データ記憶装置が前記埋め込み配線の露出部に電氣的に接続されるように接着して、3次元画像処理装置を製造する請求項2に記載の3次元画像処理装置の製造方法。

【請求項4】前記データ記憶基板の裏面側を研磨して前記埋め込み配線を露出させ、

該データ記憶基板の裏面に、主面にデータ処理装置が形成されると共に該データ処理装置に電氣的に接続された埋め込み配線が形成されたデータ処理基板を、該データ処理装置が前記埋め込み配線の露出部に電氣的に接続されるように接着して、3次元画像処理装置を製造する請求項3に記載の3次元画像処理装置の製造方法。

【請求項5】前記データ処理基板の裏面側を研磨して前記埋め込み配線を露出させ、

該データ処理基板の裏面に、主面に出力回路が形成されると共に該出力回路に電氣的に接続された埋め込み配線が形成された出力回路基板を、該出力回路が前記埋め込み配線の露出部に電氣的に接続されるように接着して、3次元画像処理装置を製造する請求項4に記載の3次元画像処理装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、3次元画像処理装置の製造方法に関する。

## 【0002】

【従来の技術】近年、半導体集積回路装置の高集積化・高密度化等の目的から、複数の回路機能ブロックを立体的に集積した3次元半導体集積回路装置の開発が進められている。特に、イメージセンサとその信号を処理するための信号処理回路を一体化した3次元画像処理装置

(インテリジェントイメージプロセッサ)は、光センサから得られる画像データを並列に高速処理し、高画質画像をリアルタイムで得ることが可能になることから、多くの期待が寄せられている。

【0003】これら3次元半導体集積回路装置は、当初はレーザ再結晶化等によるSOI (Silicon On Insulator) 技術を利用してSOI基板形成とSOI基板への半導体装置の形成を繰り返すモノリシック法によりその製造が検討されてきたが、SOIを多層に積層するには、結晶性の確保が難しい、製造時間が長い等の問題があった。

【0004】このため、半導体装置または半導体集積回路装置が予め作製された単結晶半導体基板同士を貼り合わせる貼り合わせ技術による3次元半導体集積回路装置の製造方法が種々検討されている。

【0005】月刊セミコンダクターワールド(林善宏等、1990年9月号p58～64)には、貼り合わせ技術の一種として、研磨により薄膜化した半導体基板を貼り合わせるCUBIC技術が提案されている。CUBIC技術では、まずシリコン基板上に半導体素子が形成された第1の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化する。次に、埋め込み配線、裏面配線、バンプ／ブールからなるコンタクト部材等のデバイスの縦方向の接続に必要な配線を形成し、第1の半導体基板とシリコン基板上に半導体素子の形成された第2の半導体基板とを貼り合わせる。そして最後に支持基板を取り外して多層構造の半導体装置が完成する。

【0006】また、特開平6-260594号公報には、貼り合わせ技術による3次元半導体集積回路装置の製造方法が開示されている。この方法は、シリコン基板上に半導体素子が形成された第1の半導体基板を支持基板に接着した後、余分なシリコン基板をポリッシングして薄膜化する点はCUBIC技術と共通しているが、第1の半導体基板に予め埋め込み配線を形成するための深溝が設けられている点、及び第1の半導体基板とシリコン基板上に半導体素子の形成された第2の半導体基板とを貼り合わせ、貼り合わせ後に支持基板を取り除き埋め込み配線を形成する点で、CUBIC技術とは異なっている。

## 【0007】

【発明が解決しようとする課題】しかしながら、いずれの製造方法も、第1の半導体基板を支持基板に貼り合わせ、研磨した後に支持基板から第1の半導体基板を剥離する工程を含んでおり、製造工程が煩雑であるという問題があった。特に、3次元画像処理装置を製造する場合には、支持基板を取り除いた後にその表面にイメージセンサを構成するマイクロレンズを備えた透明基板を設ける必要があるため、なおさら製造工程が煩雑になる。

【0008】また、CUBIC技術では、余分なシリコ

ン基板をポリッシングして薄膜化した後に支持基板を取り除くため、支持基板を取り除く際に半導体基板上に形成された集積回路が破損するという問題があった。

【0009】また、特開平6-260594号公報に記載された方法では、埋め込み配線を形成するための深溝が予め設けられた第1の半導体基板を支持基板に接着するため、深溝に入り込んだ接着剤の除去が困難であるという問題や、第1の半導体基板と第2の半導体基板とを接着した後に深溝の側壁を酸化して絶縁膜を形成するため、接着剤の耐熱温度以上に酸化温度を上げることができず、信頼性のある絶縁膜を形成することができないという問題があった。

【0010】本発明は上記従来技術の問題点に鑑みなされたものであり、本発明の目的は、支持基板の着脱工程が不要で製造工程を大幅に簡略化することができ、簡素かつ容易な工程により3次元画像処理装置を製造することができる3次元画像処理装置の製造方法を提供することにある。また、本発明の他の目的は、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる3次元画像処理装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の3次元画像処理装置の製造方法は、光を集光するレンズを備えた透明基板と、主面に光電変換素子が形成されると共に該光電変換素子に電気的に接続された埋め込み配線が形成された光電変換基板とを、透明基板の裏面と光電変換基板の主面とが対向するように接着して、3次元画像処理装置を製造することを特徴とする。

【0012】請求項1の発明では、支持基板等を用いることなく、光を集光するレンズを備えた透明基板と、主面に光電変換素子が形成されると共に該光電変換素子に電気的に接続された埋め込み配線が形成された光電変換基板とを、透明基板の裏面と光電変換基板の主面とが対向するように接着するため、透明基板をそのままイメージセンサの透明基板として使用することができ、支持基板への接着工程、支持基板からの除去工程、及び透明基板の形成工程が不要であり、3次元画像処理装置の製造工程を大幅に簡略化することができる。また、光電変換基板に埋め込み配線を形成した後に透明基板と貼り合わせるため、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる。

【0013】請求項2に記載の3次元画像処理装置の製造方法は、請求項1の発明において、前記光電変換基板の裏面側を研磨して前記埋め込み配線を露出させ、該光電変換基板の裏面に、主面に増幅器及びアナログ／デジタル変換器が形成されると共に該増幅器及びアナログ／デジタル変換器に電気的に接続された埋め込み配線が形成された増幅変換基板を、該増幅器及びアナログ／デジタル変換器が前記埋め込み配線の露出部に電気的に接続

されるように接着して、3次元画像処理装置を製造することを特徴とする。

【0014】請求項2の発明によれば、透明基板及び光電変換基板からなるイメージセンサ部に、研磨及び接着という簡素かつ容易な工程により、増幅器及びアナログ／デジタル変換器に電気的に接続された埋め込み配線が形成された増幅変換基板を積層した3次元画像処理装置を製造することができる。

【0015】請求項3に記載の3次元画像処理装置の製造方法は、請求項2の発明において、前記増幅変換基板の裏面側を研磨して前記埋め込み配線を露出させ、該増幅変換基板の裏面に、主面にデータ記憶装置が形成されると共に該データ記憶装置に電気的に接続された埋め込み配線が形成されたデータ記憶基板を、該データ記憶装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、3次元画像処理装置を製造することを特徴とする。

【0016】請求項3の発明によれば、透明基板及び光電変換基板からなるイメージセンサ部に研磨と接着とにより増幅変換基板が形成された積層体に、研磨及び接着という簡素かつ容易な工程により、主面に記憶装置が形成されると共にデータ記憶装置に電気的に接続された埋め込み配線が形成されたデータ記憶基板を積層した3次元画像処理装置を製造することができる。

【0017】請求項4に記載の3次元画像処理装置の製造方法は、請求項2の発明において、前記データ記憶基板の裏面側を研磨して前記埋め込み配線を露出させ、該データ記憶基板の裏面に、主面にデータ処理装置が形成されると共に該データ処理装置に電気的に接続された埋め込み配線が形成されたデータ処理基板を、該データ処理装置が前記埋め込み配線の露出部に電気的に接続されるように接着して、3次元画像処理装置を製造することを特徴とする。

【0018】請求項4の発明によれば、透明基板及び光電変換基板からなるイメージセンサ部に研磨と接着とにより増幅変換基板及びデータ記憶基板が形成された積層体に、研磨及び接着という簡素かつ容易な工程により、主面にデータ処理装置が形成されると共に該データ処理装置に電気的に接続された埋め込み配線が形成されたデータ処理基板を積層した3次元画像処理装置を製造することができる。

【0019】請求項5に記載の3次元画像処理装置の製造方法は、請求項4の発明において、前記データ処理基板の裏面側を研磨して前記埋め込み配線を露出させ、該データ処理基板の裏面に、主面に出力回路が形成されると共に該出力回路に電気的に接続された埋め込み配線が形成された出力回路基板を、該出力回路が前記埋め込み配線の露出部に電気的に接続されるように接着して、3次元画像処理装置を製造することを特徴とする。

【0020】請求項5の発明によれば、透明基板及び光

電変換基板からなるイメージセンサ部に研磨と接着とにより増幅変換基板、データ記憶基板、及びデータ処理装置が形成された積層体に、研磨及び接着という簡素かつ容易な工程により、主面に出力回路が形成されると共に該出力回路に電気的に接続された埋め込み配線が形成された出力回路基板を積層した3次元画像処理装置を製造することができる。

#### 【0021】

【発明の実施の形態】以下、本発明の3次元画像処理装置の製造方法を、図面を参照しつつ具体的に説明する。図1～図5は、本発明の3次元画像処理装置の製造方法の各工程を示す断面図である。

【0022】まず、図1に示すように、光電変換基板20に、多数のマイクロレンズ12が2次元状に形成された石英ガラス製の透明基板10を、光電変換基板20の主面と透明基板10の裏面とが対向するように、エポキシ樹脂やポリイミド樹脂等の高分子材料からなる接着剤14を介して接着する。

【0023】上記で用いる光電変換基板20は、内部にニ酸化ケイ素からなる絶縁層36が挿入されたn型シリコン結晶基板16上に、フォトダイオードとMOSトランジスタとを形成したものである。フォトダイオードは、光電変換基板20のn型シリコン結晶基板16上にp型不純物層18を形成し、p型不純物層18表層のマイクロレンズ12の焦点位置に対応する領域にn型不純物層22を設けることにより形成されている。また、MOSトランジスタは、p型不純物層18表層の撮像領域以外の部分にソース及びドレインとなるn型不純物層22を設け、このn型不純物層22間のp型不純物層18上に絶縁膜24Aにより相互に絶縁されたポリシリコンからなるゲート電極26を設けることにより形成されている。なお、隣接するMOSトランジスタはニ酸化ケイ素からなる素子分離膜30で分離されている。

【0024】また、光電変換基板20には、素子分離膜30を貫通し光電変換基板20の裏面に達するトレンチ（深溝）が設けられている。なお、このようなトレンチは誘導結合型プラズマエッチング等により形成することができる。このトレンチの内表面に絶縁膜32が形成され、トレンチ内に導電材料が充填されて埋め込み配線34が形成されている。埋め込み配線34を形成する導電材料としては、例えば不純物をドーブした低抵抗多結晶シリコンやタングステン等の低抵抗の金属が使用される。

【0025】MOSトランジスタのソースとなるn型不純物層22は、例えばアルミニウムからなるソース電極28に接続されおり、ドレインとなるn型不純物層22は、絶縁膜24Bによりソース電極28と絶縁された例えばアルミニウムからなるドレイン電極29に接続されている。このドレイン電極29は埋め込み配線34に接続されており、ゲート電極26に所定電圧を印加すると

とによりn型チャネル22及びp型不純物層18からなるフォトダイオードに蓄積された電荷はこの埋め込み配線34を介して後述する増幅器へと転送される。

【0026】次に、図2に示すように、透明基板10に接着された光電変換基板20を、化学的機械研磨により裏面側から研磨して薄膜化する。n型シリコン結晶基板16に挿入された絶縁層36を構成するニ酸化ケイ素はシリコンよりも研磨耐性が大いため、研磨は絶縁層36の手前で止まり、埋め込み配線34が絶縁層36から露出される。このとき透明基板10が支持基板の役割を果たすが、当初からマイクロレンズ12を一体化して形成した石英ガラス製の透明基板を用いているので後で取り外す必要はない。

【0027】以上の工程により、光を集光するレンズを備えた透明基板10、及び光電変換基板20を備えたイメージセンサ部が完成する。

【0028】次に、図3に示すように、光電変換基板20の裏面に、光電変換基板20からの信号を増幅すると共に増幅されたアナログ信号をデジタル信号に変換する増幅変換基板40を接着する。この増幅変換基板40は、内部にニ酸化ケイ素からなる絶縁層36Aが挿入されたシリコン基板38A上に、絶縁膜42Aにより絶縁されたゲート44A、ソース46A、及びドレイン48Aからなる複数のMOSFET50A（本実施の形態では2つのMOSFETを図示する）を形成したものである。これら隣接するMOSFET50Aは、ニ酸化ケイ素からなる素子分離膜52Aにより分離されている。

【0029】また、増幅変換基板40には、この素子分離膜52Aを貫通し増幅変換基板40の裏面側表面から回路面に達するトレンチが設けられている。このトレンチの内表面に絶縁膜54Aが形成され、トレンチ内に導電材料が充填されて埋め込み配線56Aが形成されている。埋め込み配線56Aを形成する導電材料としては、例えば不純物をドーブした低抵抗多結晶シリコンやタングステン等の低抵抗の金属が使用される。この埋め込み配線56Aの回路面側の端部にはアルミニウム配線58Aが直接接続されている。これにより増幅器（アンプ）及びアナログ／デジタル変換器（ADC）を含む集積回路が構成されている。形成された集積回路はニ酸化ケイ素からなる絶縁膜60Aにより被覆され、増幅変換基板40の集積回路側の表面が平坦化されている。また、この絶縁膜60Aに設けられた開口からアルミニウム配線58Aが引き出され、絶縁膜60Aの表面に露出されている。

【0030】上記光電変換基板20の裏面側の表面に、絶縁層36の表面から露出した埋め込み配線34の端部に接触するようにマイクロバンプ62を形成する。一方、増幅変換基板40の集積回路側の表面にも、絶縁膜60Aの表面に露出したアルミニウム配線58Aの端部に接触するようにマイクロバンプ64を形成する。マイ

10

20

30

40

50

クロバンプは、レジストマスクを用いたリフトオフ等により形成することができ、マイクロバンプの材料としては例えば金とインジウムとの合金またはインジウムを用いることができる。

【0031】光電変換基板20の裏面側の表面に設けられたマイクロバンプ62と、増幅変換基板40の集積回路側の表面に設けられたマイクロバンプ64とが電気的に接続されるように、増幅変換基板40上に光電変換基板20を重ね合わせて仮接着する。なお、光電変換基板20と増幅変換基板40との位置合わせは、例えばシリコンウエハを透過する赤外線を用いた位置合わせ装置により行うことができる。

【0032】仮接着した光電変換基板20と増幅変換基板40とを、液状のエポキシ樹脂を保持した容器と共に気圧調整が可能なチャンパーに入れてチャンパー内を真空にし、仮接着した光電変換基板20と増幅変換基板40とを液状のエポキシ樹脂にディップして常圧に戻し基板間の隙間にエポキシ樹脂66を注入する。その後基板を引き上げエポキシ樹脂66を硬化させて、増幅変換基板40と光電変換基板20との接着が完了する。

【0033】次に、図4に示すように、増幅変換基板40を裏面側から化学的機械研磨により均一な厚さに研磨して薄膜化する。絶縁層36Aを構成する二酸化ケイ素はシリコンよりも研磨耐性が大きいので、研磨は絶縁層36Aの手前で止まり、絶縁層36Aよりも深い位置まで形成されている埋め込み配線56Aが絶縁層36Aから露出される。

【0034】次に、図5に示すように、光電変換基板20に接着された増幅変換基板40の裏面に、一時的にデータを記憶するデータ記憶装置（レジスタアレイ）を備えたデータ記憶基板70を接着する。ここで用いるデータ記憶基板70は、増幅変換基板40と同様に、内部に二酸化ケイ素からなる絶縁層36Bが挿入されたシリコン基板38B上に、絶縁膜42Bにより絶縁されたゲート44B、ソース46B、及びドレイン48Bからなる複数のMOSFET50B（本実施の形態では2つのMOSFETを図示する）を形成したものであり、隣接するMOSFET50Bは、二酸化ケイ素からなる素子分離膜52Bにより分離されている。

【0035】また、データ記憶基板70には、この素子分離膜52Bを貫通しデータ記憶基板70の裏面側表面から回路面に達するトレンチが設けられている。このトレンチの内表面に絶縁膜54Bが形成され、トレンチ内に導電材料が充填されて埋め込み配線56Bが形成されている。埋め込み配線56Bを形成する導電材料としては、例えば不純物をドーパした低抵抗多結晶シリコンやタングステン等の低抵抗の金属が使用される。埋め込み配線56Bの回路面側の端部にはアルミニウム配線58Bが直接接続されている。これによりデータ記憶装置を含む集積回路が構成されている。形成された集積回路

は、二酸化ケイ素からなる絶縁膜60Bにより被覆され、データ記憶基板70の集積回路側の表面が平坦化されている。この絶縁膜60Bに設けられた開口からアルミニウム配線58Bが引き出されて、絶縁膜60Bの表面に露出されている。

【0036】上記増幅変換基板40の裏面側の表面に、絶縁層36Aの表面から露出した埋め込み配線56Aの端部に接触するようにマイクロバンプ71を形成する。一方、データ記憶基板70の集積回路側の表面にも、絶縁膜60Bの表面に露出したアルミニウム配線58Bの端部に接触するようにマイクロバンプ72を形成する。そして増幅変換基板40の裏面側の表面に設けられたマイクロバンプ71と、データ記憶基板70の集積回路側の表面に設けられたマイクロバンプ72とが電気的に接続されるようにデータ記憶基板70上に増幅変換基板40を重ね合わせて仮接着し、光電変換基板20及び増幅変換基板40を接着する場合と同様にして、増幅変換基板40とデータ記憶基板70とをエポキシ樹脂74により接着する。

【0037】次に、図6に示すように、データ記憶基板70の裏面に、データ処理基板80、出力回路基板90、及び出力端子部100を順に形成する。上記増幅変換基板40やデータ記憶基板70の形成工程と同様にして、増幅変換基板40に接着されたデータ記憶基板70を裏面側から研磨し、データ記憶基板70の裏面に、データ処理装置（プロセッサアレイ）を備え埋め込み配線82の形成されたデータ処理基板80を、両基板に設けられた集積回路が埋め込み配線82により電気的に接続されるように接着する。さらに、このデータ処理基板80を裏面側から研磨した後に、データ処理基板80の裏面に埋め込み配線92の形成された出力回路基板90を、両基板に設けられた集積回路が埋め込み配線92により電気的に接続されるように接着する。そして出力回路基板90を裏面側から研磨して、出力回路基板90裏面の絶縁膜から埋め込み配線92の端部を露出させ、露出した埋め込み配線92の端部に接触するようにマイクロバンプ93を形成する。

【0038】そして最後に出力回路基板90の裏面に出力端子部100を形成する。出力端子部100はシリコン基板102にこのシリコン基板102を貫通し基板両面側に露出した埋め込み配線104が形成されたものである。埋め込み配線104を形成する導電材料としては、例えば銅、タングステン、金等の低抵抗の金属が使用される。この出力端子部100の入力側の表面に、出力端子部100の絶縁層の表面から露出した埋め込み配線104の一方の端部に接触するようにマイクロバンプ94を形成する。そして出力回路基板90の裏面側の表面に設けられたマイクロバンプ93と出力端子部100の入力側の表面に設けられたマイクロバンプ94とが接触し、出力回路基板90に設けられた集積回路が出力端



子部 100 の出力端子に電氣的に接続されるように両基板を接着する。そして上記出力端子部 100 の出力側の表面には、埋め込み配線 104 の他方の端部に接触するようにマイクロバンプ 106 を形成する。マイクロバンプ 106 は、例えば金やインジウムまたはそれらの合金から形成することができる。また、はんだバンプとしてもよい。

【0039】以上の工程により、光を集光するレンズを備えた透明基板 10 及び光電変換基板 20 からなるイメージセンサ部と、そのイメージセンサ部からの信号を処理するための処理部（増幅変換基板 40、データ記憶基板 70、データ処理基板 80 及び出力回路基板 90）とを一体化した図 6 に示す 3 次元画像処理装置を得ることができる。

【0040】本実施の形態では、多数のマイクロレンズが 2 次元状に形成された石英ガラス製の透明基板に光電変換基板を直接接着するので、支持基板を別途用意する必要がなく支持基板の着脱工程が不要となる。これにより製造工程を大幅に簡略化することができ、簡素かつ容易な工程により 3 次元画像処理装置を製造することができる。また、各集積回路基板の埋め込み配線は貼り合わせ前に形成されるので、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成することができる。

【0041】上記実施の形態では、集積回路を形成するための各半導体基板に二酸化ケイ素からなる絶縁層が内部に形成されたシリコン基板を使用した。二酸化ケイ素からなる絶縁層を含まないシリコン基板を使用してもよい。

【0042】上記実施の形態では、埋め込み配線の両端部にマイクロバンプを形成し、マイクロバンプ同士を接触させて隣接する基板を電氣的に接続する例について説明したが、埋め込み配線の一方の端部にのみマイクロバンプを形成して隣接する基板を電氣的に接続するようにしてもよい。

【0043】上記実施の形態では、集光レンズを備えた透明基板及び光電変換基板からなるイメージセンサ部に、そのイメージセンサ部からの信号を処理するための増幅変換基板、データ記憶基板、データ処理基板、及び出力回路基板の各処理部を研磨及び貼合せを繰り返すことにより形成する例について説明したが、イメージセンサ部を構成する光電変換基板を裏面側から研磨して埋め込み配線を露出させた後、配線により光電変換基板を増幅変換基板と電氣的に接続することもできる。

【0044】また、上記実施の形態と同様にしてイメージセンサ部に研磨及び貼合せにより増幅変換基板を形成し、増幅変換基板を裏面側から研磨して埋め込み配線を露出させた後、配線により増幅変換基板をデータ記憶基板と電氣的に接続することもできる。また、上記実施の形態と同様にしてイメージセンサ部に研磨及び貼合せに

より増幅変換基板及びデータ記憶基板を形成し、データ記憶基板を裏面側から研磨して埋め込み配線を露出させた後、配線によりデータ記憶基板をデータ処理基板と電氣的に接続することもできる。また、上記実施の形態と同様にしてイメージセンサ部に研磨及び貼合せにより増幅変換基板、データ記憶基板、及びデータ処理基板を形成し、データ処理基板を裏面側から研磨して埋め込み配線を露出させた後、配線によりデータ処理基板を出力回路基板と電氣的に接続することもできる。

10 【0045】なお、上記実施の形態において使用するシリコン基板は、ウエハスケールでもチップスケールでもよい。

【0046】

【発明の効果】本発明の 3 次元画像処理装置の製造方法は、支持基板の着脱工程が不要で、製造工程を大幅に簡略化することができ、簡素かつ容易な工程により 3 次元画像処理装置を製造することができる、という効果を奏する。また、本発明の 3 次元画像処理装置の製造方法は、信頼性の高い絶縁膜で囲まれた埋め込み配線を形成

20 することができる、という効果を奏する。  
【図面の簡単な説明】

【図 1】本実施の形態の 3 次元画像形成装置の製造工程を示す概略断面図である。  
【図 2】本実施の形態の 3 次元画像形成装置の製造工程を示す概略断面図である。  
【図 3】本実施の形態の 3 次元画像形成装置の製造工程を示す概略断面図である。  
【図 4】本実施の形態の 3 次元画像形成装置の製造工程を示す概略断面図である。  
30 【図 5】本実施の形態の 3 次元画像形成装置の製造工程を示す概略断面図である。

【図 6】本実施の形態の 3 次元画像形成装置の構造を示す概略断面図である。

【符号の説明】

10 透明基板  
12 マイクロレンズ  
16 n 型シリコン結晶基板  
18 p 型不純物層  
20 光電変換基板  
22 n 型不純物層  
26 ゲート電極  
28 電極  
34 埋め込み配線  
40 増幅変換基板  
70 データ記憶基板  
80 データ処理基板  
90 出力回路基板  
100 出力端子部



A cross-sectional view of a multi-layered optical device. The structure consists of several layers. At the top is a layer labeled 12, which contains a "Micro Lens". Below this is a layer labeled 10. Under layer 10 is a layer labeled 14, which contains a series of conductive patterns labeled 24B, 24A, 18, 22, and 36. Below layer 14 is a layer labeled 16, which contains a series of conductive patterns labeled 26, 28, 29, 30, and 32. A central vertical structure labeled 34 is shown. The entire device is shown in a cross-sectional view.

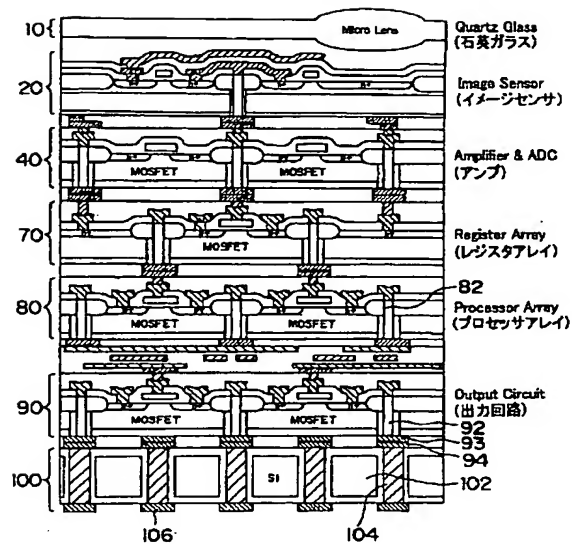
A cross-sectional view of a multi-layered optical device. The device consists of several layers: a top layer 12 labeled "Micro Lens", a layer 14, a layer 16 containing a series of rounded features 18, and a bottom layer 22. A central vertical structure 32 is shown, with a gap 34 on its left side. Various other components are labeled with numbers: 26, 28, 29, 30, 34, 36, 24A, and 24B. The entire structure is enclosed in a frame 10. The layers 14, 16, and 22 are collectively labeled as 20. The rounded features 18 are labeled as 24A and 24B. The central vertical structure 32 is labeled as 34. The gap 34 is labeled as 36. The top layer 12 is labeled as 26. The layer 14 is labeled as 28. The layer 16 is labeled as 29. The bottom layer 22 is labeled as 30. The rounded features 18 are labeled as 24A and 24B. The central vertical structure 32 is labeled as 34. The gap 34 is labeled as 36. The top layer 12 is labeled as 26. The layer 14 is labeled as 28. The layer 16 is labeled as 29. The bottom layer 22 is labeled as 30. The rounded features 18 are labeled as 24A and 24B. The central vertical structure 32 is labeled as 34. The gap 34 is labeled as 36.

[illegible]

This cross-sectional diagram illustrates a semiconductor device architecture. At the top, a layer labeled 10 contains a "Micro Lens" (12). Below this is a series of conductive layers: 14, 24B, 24A, 18, and 22. A central vertical feature 32 passes through these layers, flanked by regions 34 and 62. The lower portion of the device features two MOSFET structures. Each MOSFET has a gate stack consisting of layers 36, 66, 58A, and 42A. Source/drain regions are formed in layers 54A and 52A, with additional contacts at 46A, 44A, and 48A. The bottom-most layer is labeled 50A. Other labels include 30, 16, 64, 60A, 56A, and 38A, indicating various structural components and interfaces.

This cross-sectional view shows a semiconductor device with three MOSFETs (52A, 46A, 48A) and a micro lens (12). The device is built on a substrate (36B) with a p-type layer (36B) and an n-type layer (36B). The MOSFETs are formed in a p-type layer (36B) with n+ regions (52A, 46A, 48A) and p+ regions (52B, 46B, 48B). The gates are formed in an n+ layer (36A) with p+ regions (52A, 46A, 48A). The drains are formed in a p+ layer (36A) with n+ regions (52A, 46A, 48A). The micro lens (12) is formed on top of the device. The device is divided into three main regions: 10 (top), 20 (middle), and 30 (bottom). The regions are labeled with various numbers: 10 (12, 14, 28, 29, 30, 32, 34, 36, 62, 64, 66, 70, 71, 72, 74, 76, 78, 80, 82, 84, 86, 88, 90, 92, 94, 96, 98, 100), 20 (14, 24B, 24A, 18, 22, 36, 66, 58A, 42A), 30 (56A, 54A, 52A, 46A, 44A, 48A, 36A, 74, 56B, 54B, 46B, 44B, 48B, 52B, 36B). The device is also labeled with various numbers: 10, 20, 30, 40, 50B, 60, 70, 80, 90, 100.

【図6】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 21/8238		H 0 1 L 21/90	A 5 F 1 1 0
27/092		27/08	3 2 1 G
27/14		27/14	D
29/786		29/78	6 1 3 Z
H 0 4 N 5/335			

(72)発明者 宮川 宣明  
神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社海老名事業所内

F ターム (参考) 4M118 AA10 AB01 BA04 BA14 CA03  
EA04 EA20 FA33 GD01 GD04  
GD07 HA21 HA33  
5B047 BB04 BC01 BC05 DB01  
5C024 CY47 EX43 GX03 GY31 HX01  
HX17 HX40 HX41  
5F033 HH04 HH08 HH11 HH13 HH19  
JJ01 JJ08 KK01 MM30 QQ08  
QQ09 QQ12 QQ37 QQ49 RR04  
SS25 UU05 VV00 WW07 XX10  
5F048 AA09 AB03 AB10 AC03 AC10  
BA09 BB05 BC12 BF01 BF02  
BF03 BF07 BF15 BG12 BG14  
CB02 CB03 CB04  
5F110 AA16 BB10 BB11 CC02 DD03  
DD05 DD21 DD30 EE09 HL03  
NN62 NN71 QQ16 QQ30